

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000232340
 PUBLICATION DATE : 22-08-00

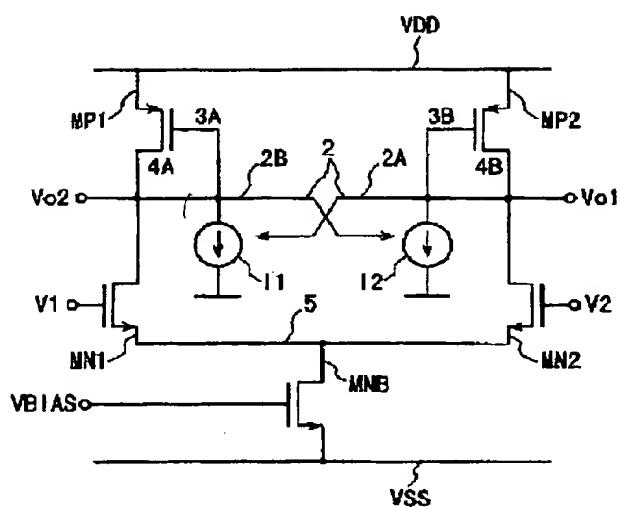
APPLICATION DATE : 10-02-99
 APPLICATION NUMBER : 11033488

APPLICANT : NEC CORP;

INVENTOR : ARAMAKI YOSHINORI;

INT.CL. : H03K 3/354 H03H 11/26 // H03F 3/45

TITLE : DELAY CIRCUIT FOR RING OSCILLATOR



ABSTRACT : PROBLEM TO BE SOLVED: To easily realize an at least one differential gain and an at most one common-mode gain without using a reference voltage circuit.

SOLUTION: This delay circuit is formed of a first potential line VDD, a pair of output lines 2A, 2B, a pair of two first transistors MP1, MP2 respectively inserted between the line VDD and a pair of output lines 2A, 2B, a second potential line 5 and a pair of two transistors MN1, MN2 respectively inserted between the line 5 and the pair of output lines 2A and 2B. The respective gates of the first transistors MP1, MP2 are respectively connected to a pair of output lines 2A, 2B; the first transistors MP1, MP2 and the second transistors MN1, MN2 are connected center-symmetric with respect to each; and the output lines 2A and 2B are connected to a third potential line. Such a circuit as this easily realizes an at least one differential gain and an at most one common-mode gain.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-232340

(P2000-232340A)

(43)公開日 平成12年8月22日(2000.8.22)

(51)Int.Cl.
H 03 K 3/354
H 03 H 11/26
// H 03 F 3/45

識別記号

F I
H 03 K 3/354
H 03 H 11/26
H 03 F 3/45

テマコード(参考)
C 5 J 0 6 6
A 5 J 0 9 8
Z

審査請求 有 請求項の数 7 O L (全 10 頁)

(21)出願番号

特願平11-33488

(22)出願日

平成11年2月10日(1999.2.10)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 荒巻 吉紀

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100102864

弁理士 工藤 実 (外1名)

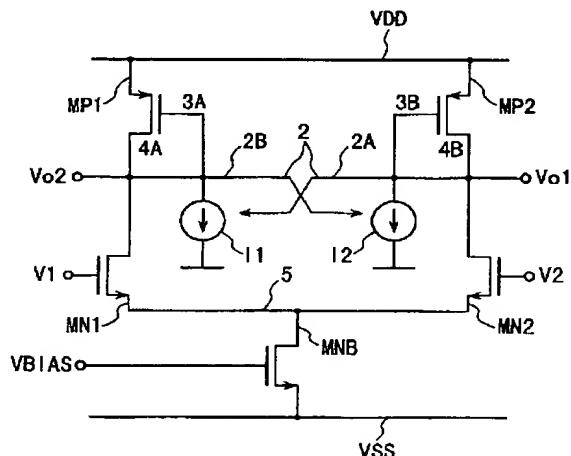
F ターム(参考) 5J066 AA01 AA12 CA00 CA91 FA10
HA10 HA17 HA25 KA05 KA07
KA12 KA15 KA32 ND01 ND12
ND22 ND23 PD02 SA00 TA01
5J098 AA03 AB03 AD05 AD25 AD26
FA03

(54)【発明の名称】 リングオシレータ用遅延回路

(57)【要約】

【課題】基準電圧回路を用いることなく、1以上の差動利得と1以下の同相利得を容易に実現する。

【解決手段】第1電位線VDDと、一对の出力線2A, 2Bと、第1電位線VDDと一对の出力線2A, 2Bとの間にそれぞれに介設される1対の2つの第1トランジスタMP1, MP2と、第2電位線5と、第2電位線5と一对の出力線2A, 2Bとの間にそれぞれに介設される1対の2つの第2トランジスタMN1, MN2とかなる。第1トランジスタMP1, MP2のそれぞれのゲートが一对の出力線2A, 2Bにそれぞれに接続され、第1トランジスタMP1, MP2、第2トランジスタMN1, MN2は、それぞれに中心対称に接続され、出力線2A, 2Bがは第3電位線に接続されている。このような回路は、1以上の差動利得と1以下の同相利得を容易に実現することができる。



【特許請求の範囲】

【請求項1】第1電位線と、
一対の出力線と、
前記第1電位線と前記一対の出力線との間にそれぞれに
介設される1対の2つの第1トランジスタと、
第2電位線と、
前記第2電位線と前記一対の出力線との間にそれぞれに
介設される1対の2つの第2トランジスタとからなり、
前記第1トランジスタのそれぞれのゲートが前記一対の
出力線にそれぞれに接続され、
前記2つの第1トランジスタは中心対称に接続され、前
記2つの第2トランジスタは中心対称に接続され、
更に、第3電位線からなり、
前記一対の出力線は前記第3電位線に接続されているリ
ングオシレータ用遅延回路。

【請求項2】請求項1において、
第1トランジスタがPMOSトランジスタであれば第2
トランジスタはNMOSトランジスタであり、第1トラン
ジスタがNMOSトランジスタであれば第2トランジ
スタはPMOSトランジスタであることを特徴とするリ
ングオシレータ用遅延回路。

【請求項3】請求項1において、
更に、前記一対の出力線と前記第1電位線との間に介設
される一対の第3トランジスタからなり、
前記第1トランジスタのゲートが前記第3トランジスタ
のゲートにそれぞれに中心対称に接続されていることを
特徴とするリングオシレータ用遅延回路。

【請求項4】請求項1において、
更に、前記一対の出力線と前記第3電位線との間に介設
される一対の第4トランジスタからなり、
前記第4トランジスタのゲートが前記出力線にそれ
ぞれに接続されていることを特徴とするリングオシレータ用
遅延回路。

【請求項5】請求項1において、
2つの前記第2トランジスタのゲートにそれぞれに印加
される入力電圧がV₁, V₂で表され、前記入力電圧V
1, V₂に関する同相入力電圧がV_{IQ}で表わされ、2
つの入力V₁, V₂の入力差の形で含まれる差動入力電
圧が△V_Iで表され、前記出力線に現れる2つの出力電
圧がV_{O1}, V_{O2}で表され、前記出力電圧V_{O1}, V
O₂に共通に含まれる同相出力電圧がV_{OQ}で表され、
前記出力電圧V_{O1}, V_{O2}の出力差の形で含まれる差
動出力電圧が△V_Oで表わされ、前記第1トランジスタ
のトランスコンダクタンスがG_{mp}で表され、前記第2
トランジスタのトランスコンダクタンスがG_{mn}で表さ
れ、前記出力線と前記第3電位線との間のトランスコン
ダクタンスがG_mで表され、設計定数としてのコンダク
タンスがG_{ds}に設定されれば、当該回路の同相利得V
OQ/V_{IQ}は、次式：

$$V_{OQ}/V_{IQ} = -(G_{mn} * G_{ds}/2) / \{ (G_m$$

$$p + G_m) * (G_{mn} + G_{ds}/2) \}$$

で求められ、G_{mn} > G_{ds}/2であるように前記設
計定数が定められ、前記式は、G_{mn}が消去されて、次
式：

$$V_{OQ}/V_{IQ} = - (G_{ds}/2) / (G_{mp} + G_m)$$

によりよい近似で再表現され、前記同相利得が十分に小
さくなるように前記設計定数G_{ds}が更に適正に設定さ
れていることを特徴とするリングオシレータ用遅延回
路。

【請求項6】請求項5において、差動利得△V_O/△V
Iは、次式：

$$\Delta V_O/\Delta V_I = G_{mn} / (G_{mp} - G_m)$$

で表され、G_{mn} > (G_{mp} - G_m)であるようにパラ
メータG_{mn}, G_{mp}, G_mの値が設定されていること
を特徴とするリングオシレータ用遅延回路。

【請求項7】請求項5又は6において、

更に、第4電位線と、

前記第4電位線と前記第2電位線との間に介設されるバ
イアス・トランジスタとからなり、
前記バイアス・トランジスタのドレイン・ソース間コン
ダクタンスが前記設計定数G_{ds}であることを特徴とす
るリングオシレータ用遅延回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リングオシレータ
用遅延回路に関し、特に、CMOS集積化が可能であ
り、VCO (Voltage-controlled Oscillator) をリングオシレータで実現する
CMOS集積化PLL (Phase Lock Loop) への適用に適しているリングオシレータ用遅延回路
に関する。

【0002】

【従来の技術】CMOS集積回路に適したPLL回路の
リングオシレータには、リングオシレータ用遅延回路が
用いられる。このようなリングオシレータ用遅延回路
は、一般的には、单一入力・单一出力型、又は、差動入
力・差動出力型の回路構成を有し利得が1以上である増
幅回路が用いられている。リングオシレータ用遅延回路
は、近年、集積回路化に適した回路構成であるCMOS
回路でその実現が可能であること、且つ、温度プロセス
変動に対しその回路が持つ出入力間の遅延時間が電子的
に調整可能であることが要求されている。

【0003】このような要求に応えるためのリングオシ
レータ用遅延回路が、文献(*1)により知られて
いる。

(*1) : アイ・イー・イー・ジャーナル・オブ
・ソリッド・ステート・サーキッツ、第SC-25巻、
第6号、第1385~1394頁、1990年12月。
この文献に開示されているリングオシレータ用遅延回路

は、図8に示されるように、基準電圧回路101を用いてPMOSトランジスタMP11、MP12を三極管領域に常にバイアスすることにより、同相利得を1以下に抑制して差動信号成分でのみ発振するように工夫されている。この公知技術は、更に、VBIAS端子の電圧により当該遅延回路の入力電圧-出力電圧間の応答時間である遅延時間が可変である。この公知技術は、このようC MOS集積回路化に適したリングオシレータ用遅延回路として形成されている。

【0004】同相利得が1以上である遅延回路を用いてリングオシレータを構成しその遅延回路を図4に示されるように奇数個用いると、そのリングオシレータの同相信号成分のループ利得が1以上になって、出力信号には差動信号成分による発振出力だけでなく同相信号成分の発振出力も含まれる。同相利得が1以上である遅延回路を用いてリングオシレータを構成しその遅延回路を図5に示されるように偶数個用いると、同様に、そのリングオシレータの同相信号成分のループ利得が1以上になり、この場合は、双安定な回路が形成されて、そのリングオシレータの出力電圧は、最終的には高電位側VDD又は低電位側VSSのいずれかの電圧状態になる。通常、差動入力-差動出力型遅延回路を用いるリングオシレータは、差動信号成分で発振するように設計されているので、同相信号成分のループ利得は1以下に設定されており、同相信号成分による発振出力の不安定化の影響を取り除くことが必要である。

【0005】図8に示される技術は、負荷であるPMOSトランジスタMP11、MP12のそれぞれのドレン・ソース間コンダクタンスを意図的に高くすることにより、その同相利得が1以上になることを防いでいる。より具体的には、その負荷であるPMOSトランジスタMP11、MP12を常に三極管領域動作となるようにそのPMOSトランジスタMP11、MP12のゲート電圧を設定している。一般に、MOSトランジスタのドレン・ソース間コンダクタンスに関して、三極管領域におけるドレン・ソース間コンダクタンスと比較して、飽和領域におけるドレン・ソース間コンダクタンスは非常に小さく、PMOSトランジスタMP11とPMOSトランジスタMP12が三極管領域から外れて飽和領域で動作する場合、同相利得が1以上になり、このようなトランジスタでリングオシレータを構成すれば、図4に示されるような奇数段構成のリングオシレータは、同相信号成分で発振する状態がありうる。更に、差動入力と差動出力をを持つ回路である図8の回路は、図5に示されるような偶数段構成のリングオシレータを実現することができるが、その遅延回路の同相利得が1以上である場合、双安定な回路になって発振が行われない状態がありうる。

【0006】このような状態になると、PMOSトランジスタを三極管領域で常に動作させるために、このPM

OSトランジスタのゲート電圧には、温度変動及びプロセス変動に対して常に一定電圧を供給する基準電圧回路が必要であり、その結果、チップ面積が増大するという問題が派生する。

【0007】基準電圧回路を用いることなく、1以上の差動利得と1以下の同相利得を容易に実現することが望まれる。更に、1以上の差動利得と1以下の同相利得を実現することにより、CMOS集積化に適したリングオシレータ用遅延回路の提供が望まれる。

【0008】

【発明が解決しようとする課題】本発明の課題は、基準電圧回路を用いることなく、1以上の差動利得と1以下の同相利得を容易に実現することができるリングオシレータ用遅延回路を提供することにある。本発明の他の課題は、1以上の差動利得と1以下の同相利得を実現することにより、CMOS集積化に適したリングオシレータ用遅延回路を提供することにある。

【0009】

【課題を解決するための手段】その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧()つきで、番号、記号等が添記されている。その番号、記号等は、請求項対応の技術的事項と実施の複数・形態のうちの少なくとも1つの形態の技術的事項との一致・対応関係を明白にしているが、その請求項対応の技術的事項が実施の形態の技術的事項に限定されることを示すためのものではない。

【0010】本発明によるリングオシレータ用遅延回路は、第1電位線(VDD)と、一対の出力線(2A, 2B)と、第1電位線(VDD)と一対の出力線(2A, 2B)との間にそれぞれに介設される1対の2つの第1トランジスタ(MP1, MP2)と、第2電位線(5)と、第2電位線(5)と一対の出力線(2A, 2B)との間にそれぞれに介設される1対の2つの第2トランジスタ(MN1, MN2)とからなり、第1トランジスタ(MP1, MP2)のそれぞれのゲートが一対の出力線(2A, 2B)にそれぞれに接続され、2つの第1トランジスタ(MP1, MP2)は中心対称に接続され、2つの第2トランジスタ(MN1, MN2)は中心対称に接続され、更に、第3電位線(図2, 図3, 図7の接地線又は図6のVDD)からなり、一対の出力線(2A, 2B)は第3電位線(図2, 図3, 図7の接地線又は図6のVDD)に接続されている。このような回路は、1以上の差動利得と1以下の同相利得を容易に実現することができる。

【0011】第1トランジスタ(MP1, MP2)がPMOSトランジスタであれば第2トランジスタ(MN1, MN2)はNMOSトランジスタであり、第1トランジスタ(MP1, MP2)がNMOSトランジスタであれば第2トランジスタはPMOSトランジスタであることが好ましい。更に、一対の出力線(2A, 2B)と

第1電位線との間に介設される一对の第3トランジスタ(MP3, MP4)を設けることが好ましい。この場合、第1トランジスタ(MP1, MP2)のゲートが第3トランジスタ(MP3, MP4)のゲートにそれぞれに中心対称に接続されている。更に、一对の出力線(2A, 2B)と第3電位線との間に介設される一对の第4トランジスタ(MN3, MN4)を設けることも好ましい。この場合、第4トランジスタ(MN3, MN4)のゲートが出力線(2A, 2B)にそれぞれに接続されている。

【0012】2つの第2トランジスタ(MN1, MN2)のゲートにそれぞれに印加される入力電圧がV1, V2で表され、入力電圧V1, V2に関する同相入力電圧がVIQで表わされ、2つの入力V1, V2の入力差の形で含まれる差動入力電圧が△VIで表され、出力線(2A, 2B)に現れる2つの出力電圧がVo1, Vo2で表され、出力電圧Vo1, Vo2に共通に含まれる同相出力電圧がVOQで表され、出力電圧Vo1, Vo2の出力差の形で含まれる差動出力電圧が△VOで表され、第1トランジスタ(MP1, MP2)のトランスコンダクタンスがGmpで表され、第2トランジスタ(MN1, MN2)のトランスコンダクタンスがGmnで表され、出力線(2A, 2B)と第3電位線との間のトランスコンダクタンスがGmで表される。

【0013】設計定数としてのコンダクタンスがGdsに設定されれば、当該回路の同相利得VOQ/VIQは、次式： $VOQ/VIQ = -(Gmn * Gds/2) / \{(Gmp + Gm) * (Gmn + Gds/2)\}$ で求められる。 $Gmn > Gds/2$ であるようにその設計定数が定められると、この式はGmnが消去されて、近似式： $VOQ/VIQ = -(Gds/2) / (Gmp + Gm)$ が得られる。この同相利得が十分に小さくなるよう設計定数Gdsを更に適正に設定することができる。この場合、差動利得△VO/△VIは、次式： $\Delta VO/\Delta VI = Gmn / (Gmp - Gm)$ で表される。 $Gmn > (Gmp - Gm)$ であるようにパラメータGmn, Gmp, Gmの値が設定される。更に、第4電位線(VSS)と、第4電位線(VSS)と第2電位線との間に介設されるバイアス・トランジスタ(MNB)とかなり、バイアス・トランジスタ(MNB)のドレイン・ソース間コンダクタンスが設計定数Gdsに一致している。このような回路は、1以上の差動利得と1以下の同相利得を確実に実現している。

【0014】

【発明の実施の形態】図に一致対応して、本発明によるリングオシレータ用遅延回路の実施の形態は、ソース結合対回路が設けられている。そのソース結合対回路は、第1NMOSトランジスタMN1と第2NMOSトランジスタMN2とが、ソース対結合している。バイアス電流源用NMOSトランジスタMN Bが、第1NMOSト

トランジスタMN1と第2NMOSトランジスタMN2に接続している。バイアス電流源用NMOSトランジスタMN Bは、第1NMOSトランジスタMN1と第2NMOSトランジスタMN2とにバイアス電流を供給する電流源である。

【0015】出力負荷として作用する第1PMOSトランジスタMP1と第2PMOSトランジスタMP2とが、出力線2に接続している。第1PMOSトランジスタMP1と第2PMOSトランジスタMP2は、高電位側電源線VDDと出力線2の間に介設されている。

【0016】出力線2は、第2出力線2Bと第1出力線2Aとから形成されている。第2出力線2Bは第1PMOSトランジスタMP1の第1ゲート3Aに短絡し、第1出力線2Aは第2PMOSトランジスタMP2の第2ゲート3Bに短絡している。第1PMOSトランジスタMP1と第2PMOSトランジスタMP2は、それらのそれぞれの第1ゲート3A、第2ゲート3Bがそれらのそれぞれのドレイン4A, 4Bに短絡している。

【0017】第1電圧制御電流源I1、第2電圧制御電流源I2が、出力線2に接続されている。第1電圧制御電流源I1と第2電圧制御電流源I2は、出力電圧節点と任意の定電位に接続され、出力電圧により制御される。バイアス電源VBIASが、バイアス電流源用NMOSトランジスタMN Bのゲートに接続されている。

【0018】バイアス電源VBIA Sは、バイアス電流源用NMOSトランジスタMN Bが飽和領域になるようバイアスする。バイアス電流源用NMOSトランジスタMN Bは、第1NMOSトランジスタMN1と第2NMOSトランジスタMN2を対接合している対接合線5と低電位側電源線VSSとの間に介設されている。

【0019】第1NMOSトランジスタMN1のゲートと第2NMOSトランジスタMN2のゲートに、第1入力電圧V1と第2入力電圧V2とがそれぞれに入力される。第1NMOSトランジスタMN1、第2NMOSトランジスタMN2、バイアス電流源用NMOSトランジスタMN Bが飽和領域にあり、且つ、第1NMOSトランジスタMN1と第2NMOSトランジスタMN2の電気的特性が等しく、且つ、第1PMOSトランジスタMP1と第2PMOSトランジスタMP2の電気的特性が等しい場合、第1入力電圧V1と第2入力電圧V2に共通に含まれる信号である同相信号入力に対して、1組の左右の第1NMOSトランジスタMN1と第2NMOSトランジスタMN2、1組の左右の第1PMOSトランジスタMP1と第2PMOSトランジスタMP2、及び、左右の1組の第1電圧制御電流源I1と第2電圧制御電流源I2は、それぞれに対称に動作する。このように対称に動作する当該遅延回路は、その回路の対称中心線で2分した図2に示される片側のみの回路で表現することができる。

【0020】図2に示される回路は、同相信号成分に着

目すれば、図1の回路の片側分に等価である等価回路に相当している。図2のその等価回路で、第1 NMOSトランジスタMN1のトランスクンダクタンスを G_{mn} で表し、第1 PMOSトランジスタMP1のトランスクンダクタンスを G_{mp} で表し、第1電圧制御電流源I1のトランスクンダクタンスを G_m で表し、バイアス電流源用NMOSトランジスタMN Bのドレイン・ソース間コンダクタンスを G_{ds} で表し、同相信号成分に対するコンダクタンス成分を y_3 で表す。同相信号成分に対するコンダクタンス成分は、バイアス電流源用NMOSトランジスタMN Bのドレイン・ソース間コンダクタンスの半分のコンダクタンスのみ同相信号成分に対して寄与するので、 $y_3 = G_{ds}/2$ となる。

【0021】同様に、第1 NMOSトランジスタMN1、第2 NMOSトランジスタMN2、バイアス電流源用NMOSトランジスタMN Bが飽和領域にあり、且つ、第1 NMOSトランジスタMN1と第2 NMOSトランジスタMN2の電気的特性が等しく、且つ、第1 PMOSトランジスタMP1と第2 PMOSトランジスタMP2の電気的特性が等しい場合、第1入力電圧V1と第2入力電圧V2の入力差の形で含まれる信号成分である差動信号入力に対しては、1組の左右の第1 NMOSトランジスタMN1と第2 NMOSトランジスタMN2、1組の左右の第1 PMOSトランジスタMP1と第

$$\text{同相入力電圧: } V_{IQ} = (V_1 + V_2)/2, \dots \quad (1)$$

$$\text{差動入力電圧: } \Delta VI = (V_1 - V_2), \dots \quad (2)$$

【0024】同様に、2つの出力 $V_o 1, V_o 2$ に共通に含まれる信号成分である同相出力電圧 V_{OQ} で表し、2つの出力 $V_o 1, V_o 2$ の出力差の形で含まれる

$$\text{同相出力電圧: } V_{OQ} = (V_o 1 + V_o 2)/2, \dots \quad (3)$$

$$\text{差動出力電圧: } \Delta VO = (V_o 1 - V_o 2), \dots \quad (4)$$

【0025】このような定義に従うと、入力電圧 V_1, V_2 と出力電圧 $V_o 1, V_o 2$ は、それぞれに、次式により表される。

$$V_1 = \Delta VI/2 + V_{IQ}, \dots \quad (5)$$

$$V_2 = -\Delta VI/2 + V_{IQ}, \dots \quad (6)$$

$$VX = G_{mn} * V_{IQ} / (G_{mn} + G_{ds}/2), \dots \quad (9)$$

同相出力電圧 V_{OQ} が現れる出力節点に関して、次式が

成立する。

$$G_{mn} * (V_{IQ} - VX) + G_{mp} * V_{OQ} + G_m * V_{OQ} = 0, \dots \quad (10)$$

同相利得を V_{OQ}/V_{IQ} と定義すれば、式(10)か

ら、

$$V_{OQ}/V_{IQ} = - (G_{mn} * G_{ds}/2) / \{ (G_{mp} + G_m) * (G_{mn} + G_{ds}/2) \}, \dots \quad (11)$$

【0027】一般に、飽和領域にバイアスされたMOSトランジスタに関して、トランスクンダクタンスは、ドレイン・ソース間コンダクタンスに比較して十分に大きい。更に、バイアス電流源用NMOSトランジスタMN Bは電流源として作用するので、そのドレイン・ソース

間コンダクタンスは十分に小さくなるように、ゲート電圧 V_{BIAS} が通常は設定されている。従って、 $G_{mn} >> G_{ds}/2$ であると考えることができる。式(11)は、次式のように簡略化される。

【0028】

$$V_{OQ}/V_{IQ} = - (G_{ds}/2) / \{ (G_{mp} + G_m) \ll 1 \}, \dots \quad (12)$$

このように利得は、1よりも十分に小さい。同様に、図3で示される差動信号成分の等価回路では、差動出力電

$$G_{mn} * (\Delta V_I / 2) + G_{mp} * (-\Delta V_O / 2) + G_m * (\Delta V_O / 2) = \\ 0. \dots (13)$$

差動利得 $\Delta V_O / \Delta V_I$ については、

$$\Delta V_O / \Delta V_I = G_{mn} / (G_{mp} - G_m) \dots (14)$$

式(14)から明らかなように、

$$G_{mn} > (G_{mp} - G_m) \dots (15)$$

であるように選ぶことにより、差動利得を1以上にすることができる。

【0029】第1 PMOSトランジスタMP1と第2 PMOSトランジスタMP2のトランスコンダクタンスG_{mp}と電圧制御電流源I1, I2のトランスコンダクタンスG_mを近い値に設定することにより、差動利得を1以上の値で任意に設定可能である。一般に、MOSトランジスタは、ゲートの形状であるチャンネル幅及びチャンネル長さを調整することにより、そのトランスコンダクタンスを任意の値に設計可能である。従って、設計者はNMOSトランジスタMN1, MN2、PMOSトランジスタMP1, MP2のゲート形状を調整することにより、式(15)の関係を容易に得ることができる。

【0030】図1に示される実施の形態では、NMOSトランジスタMN1, MN2, MNBをそれぞれにPMOSトランジスタに、PMOSトランジスタMP1, MP2をそれぞれにNMOSトランジスタに取り替えることができる。その場合、電圧制御電流源I1, I2は、電圧出力節点に対して注入電流源型になる。

【0031】本発明による既述のリングオシレータ用遅延回路を用いれば、図4に示される3個の遅延回路であるDELAY0, DELAY1, DELAY2により奇数段のリングオシレータを構成した場合、ループ利得が差動信号成分で1以上、同相信号成分で1以下に設定することができるので、同相信号成分での発振を抑えることができ、差動信号成分のみ発振するリングオシレータを実現することができる。

【0032】同様に、図5に示される4個の遅延回路DELAY0, DELAY1, DELAY2, DELAY3により偶数段のリングオシレータを構成した場合、上述の奇数段のリングオシレータと同様にループ利得が差動信号成分で1以上、同相信号成分で1以下にすることができるので、同相信号成分に対して双安定な状態を抑制することができ、差動信号成分のみ発振するリングオシレータを実現することができる。遅延回路の個数は、3, 4に限られず、任意に増加させることができる。

【0033】本発明によるリングオシレータ用遅延回路は、従来技術で実現されているリングオシレータ用遅延回路と同じく、VBIAS端子の電圧で回路のバイアスを調整することにより、その入力電圧-出力電圧の応答時間である遅延時間を可変にすることができる。リング

圧 ΔV_O が現れる出力接点に関して、次式が成立する。

$$G_{mn} * (\Delta V_I / 2) + G_{mp} * (-\Delta V_O / 2) + G_m * (\Delta V_O / 2) =$$

オシレータの発振周波数は、遅延回路が持つ遅延時間とループ内に存在する遅延回路の個数により決まるので、本発明による遅延回路を用いて実現するリングオシレータは、電子的にその発振周波数を制御することができる。従って、本発明によるリングオシレータ用遅延回路は、PLLの基本構成素子であるVCOへの応用に適している。遅延回路を用いたリングオシレータの原理、リングオシレータのPLLへの応用については、当該技術分野では周知であり、その記述は省略されている。

【0034】図6は、本発明による既述の実施の形態を更に具体化した回路構成を示している。第1 NMOSトランジスタMN1、第2 NMOSトランジスタMN2、第1 PMOSトランジスタMP1、第2 PMOSトランジスタMP2の相互接続関係、入力電圧V1, V2の作用点、出力電圧V_{o1}, V_{o2}の端子点と第1 NMOSトランジスタMN1、第2 NMOSトランジスタMN2、第1 PMOSトランジスタMP1、第2 PMOSトランジスタMP2の接続関係、第1 NMOSトランジスタMN1、第2 NMOSトランジスタMN2、第1 PMOSトランジスタMP1、第2 PMOSトランジスタMP2に対する高電位側電源線VDD、出力線2、対接合線5、低電位側電源線VSSの配線関係は、図1のそれらと全く同じである。

【0035】第2出力線2Bは、第3 PMOSトランジスタMP3を介して高電位側電源線VDDに接続されている。第1出力線2Aは、第4 PMOSトランジスタMP4を介して高電位側電源線VDDに接続されている。第3 PMOSトランジスタMP3のゲートは、第2 PMOSトランジスタMP2のゲートとドレインに接続されている。第4 PMOSトランジスタMP4のゲートは、第1 PMOSトランジスタMP1のゲートとドレインに接続されている。第3, 4 PMOSトランジスタMP3, 4は、出力電圧を検出して電流に変換する電圧制御電流源である。VBIASは、バイアス電流源用NMO_SトランジスタMNBの電流を制御するバイアス電源線である点も、図1のそれに同じである。

【0036】図1に示される出力電圧V_{o1}を検出して電流に変換する電圧制御電流源I1を第3 PMOSトランジスタMP3に置換し、図1に示される出力電圧V_{o2}を検出して電流に変換する電圧制御電流源I2を第4 PMOSトランジスタMP4に置換することにより、図6に示される実施の形態が実現している。

【0037】図6に示される回路に関して、第1 NMOSトランジスタMN1と第2 NMOSトランジスタMN

2のチャンネル幅とチャンネル長さは、両トランジスタが同一の電気的特性を得るように、両トランジスタで同じに設定されている。同様に、第1 PMOSトランジスタMP 1と第2 PMOSトランジスタMP 2のチャンネル幅とチャンネル長さは、両トランジスタが同一の電気的特性を得るように、両トランジスタで同じに設定されている。更に同様に、第3 PMOSトランジスタMP 3と第4 PMOSトランジスタMP 4のチャンネル幅とチャンネル長さは、両トランジスタが同一の電気的特性を得るように、両トランジスタで同じに設定されている。

【0038】トランジスタMN 1, MN 2, MN Bがそれぞれに飽和領域にある場合、第1入力電圧V 1と第2入力電圧V 2に共通に含まれる信号である同相信号入力に対して、1組の左右の第1 NMOSトランジスタMN 1と第2 NMOSトランジスタMN 2、1組の左右の第1 PMOSトランジスタMP 1と第2 PMOSトランジスタMP 2、及び、1組の左右の第3 PMOSトランジスタMP 3と第4 PMOSトランジスタMP 4は、それぞれに対称に動作する。このように対称に動作する当該遅延回路は、その回路の対称中心線で2分した図2に示される片側のみの回路と同一の回路である。

【0039】従って、図2に関して、G_{m n}は図6中のトランジスタMN 1のトランスコンダクタンス、G_{m p}は図6中のトランジスタMP 1のトランスコンダクタンス、G_mは図6中の第3 PMOSトランジスタMP 3のトランスコンダクタンス、G_{d s}は図6中のバイアス電流源用NMOSトランジスタMN Bのドレイン・ソース間コンダクタンスにそれぞれに置き換えられる。一方、2つの入力差の形で含まれる信号成分である差動信号入力に対しては、図6で、1組の左右のトランジスタMN 1とMN 2、1組の左右のトランジスタMP 1とMP 2、及び、1組の左右のトランジスタMP 3とMP 4は、それぞれに逆向きの動作をするので、図6の第1 NMOSトランジスタMN 1と第2 NMOSトランジスタMN 2のソース電位は等価的に接地と考えることができ、図6に示される実施の形態の回路の差動信号成分について、片側の等価回路は、図3に示される既述の片側の等価回路に同一である。従って、図3に関して、G_{m n}は図6中のトランジスタMN 1のトランスコンダクタンス、G_{m p}は図6中の第1 PMOSトランジスタMP 1のトランスコンダクタンス、G_mは図6中の第3 PMOSトランジスタMP 3のトランスコンダクタンスにそれぞれに置き換えられる。

【0040】図6に示される回路に関して、式(15)が成り立つようにトランジスタMN 1, MN 2, MP 1, MP 2, MP 3, MP 4のそれぞれのチャンネル幅、チャンネル長さを選べば、図1に示したリングオシレータ用遅延回路と同じ特性を得ることができ、図6の同相利得は式(12)により、差動利得は式(14)によりそれぞれに与えられる。

【0041】図6に示される実施の形態で、PMOSトランジスタMP 1, MP 2, MP 3, MP 4をそれぞれにNMOSトランジスタに、NMOSトランジスタMN 1, MN 2, MN BをそれぞれにPMOSトランジスタで構成することができることは、既述の通りである。

【0042】図7は、本発明による既述の実施の形態を更に具体化した他の回路構成を示している。第1 NMOSトランジスタMN 1、第2 NMOSトランジスタMN 2、第1 PMOSトランジスタMP 1、第2 PMOSトランジスタMP 2の相互接続関係、入力電圧V 1、V 2の作用点、出力電圧V_o 1, V_o 2の端子点と第1 NMOSトランジスタMN 1、第2 NMOSトランジスタMN 2、第1 PMOSトランジスタMP 1、第2 PMOSトランジスタMP 2の接続関係、第1 NMOSトランジスタMN 1、第2 NMOSトランジスタMN 2、第1 PMOSトランジスタMP 1、第2 PMOSトランジスタMP 2に対する高圧電位側電源線VDD、出力線2、対接合線5、低電位側電源線VSSの配線関係は、図1のそれらと全く同じである。

【0043】第2出力線2Bは、第3 NMOSトランジスタMN 3を介して接地線に接続されている。第1出力線2Aは、第4 NMOSトランジスタMN 4を介して接地線に接続されている。第3 NMOSトランジスタMN 3のゲートは、第2 PMOSトランジスタMP 2のゲートとドレインに接続されている。第4 NMOSトランジスタMN 4のゲートは、第1 PMOSトランジスタMP 1のゲートとドレインに接続されている。第3, 4 NMOSトランジスタMN 3, 4は、出力電圧を検出して電流に変換する電圧制御電流源である。VBIASは、バイアス電流源用NMOSトランジスタMN Bの電流を制御するバイアス電源線である点も、図1のそれに同じである。

【0044】図1に示される出力電圧V_o 1を検出して電流に変換する電圧制御電流源I 1を第3 NMOSトランジスタMN 3に置換し、図1に示される出力電圧V_o 2を検出して電流に変換する電圧制御電流源I 2を第4 NMOSトランジスタMN 4に置換することにより、図7に示される実施の形態が実現している。

【0045】図7に示される回路に関して、第1 NMOSトランジスタMN 1と第2 NMOSトランジスタMN 2のチャンネル幅とチャンネル長さは、両トランジスタが同一の電気的特性を得るように、両トランジスタで同じに設定されている。同様に、第1 PMOSトランジスタMP 1と第2 PMOSトランジスタMP 2のチャンネル幅とチャンネル長さは、両トランジスタが同一の電気的特性を得るように、両トランジスタで同じに設定されている。更に同様に、第3 NMOSトランジスタMN 3と第4 NMOSトランジスタMN 4のチャンネル幅とチャンネル長さは、両トランジスタが同一の電気的特性を得るように、両トランジスタで同じに設定されている。

【0046】トランジスタMN1, MN2, MNBがそれぞれに飽和領域にある場合、第1入力電圧V1と第2入力電圧V2に共通に含まれる信号である同相信号入力に対して、1組の左右の第1 NMOSトランジスタMN1と第2 NMOSトランジスタMN2、1組の左右の第1 PMOSトランジスタMP1と第2 PMOSトランジスタMP2、及び、左右の1組の第3 NMOSトランジスタMN3と第4 NMOSトランジスタMN4は、それぞれに対称に動作する。このように対称に動作する当該遅延回路は、その回路の対称中心線で2分した図2に示される片側のみの回路と同一の回路である。

【0047】従って、図2に関して、G_{m n}は図7中のトランジスタMN1のトランスコンダクタンス、G_{m p}は図7中のトランジスタMP1のトランスコンダクタンス、G_mは図7中の第3 NMOSトランジスタMN3のトランスコンダクタンス、G_{d s}は図7中のバイアス電流源用NMOSトランジスタMNBのドレイン・ソース間コンダクタンスにそれぞれに置き換える。一方、2つの入力差の形で含まれる信号成分である差動信号入力に対しては、図7で、1組の左右のトランジスタMN1とMN2、1組の左右のトランジスタMP1とMP2、及び、1組の左右のトランジスタMN3とMN4は、それぞれに逆向きの動作をするので、図7の第1 NMOSトランジスタMN1と第2 NMOSトランジスタMN2のソース電位は等価的に接地と考えることができ、図7に示される実施の形態の回路の差動信号成分について、片側の等価回路は、図3に示される既述の片側の等価回路に同一である。従って、図3に関して、G_{m n}は図7中のトランジスタMN1のトランスコンダクタンス、G_{m p}は図7中の第1 PMOSトランジスタMP1のトランスコンダクタンス、G_mは図7中の第3 NMOSトランジスタMN3のトランスコンダクタンスにそれぞれに置き換える。

【0048】図7に示される回路に関して、式(15)が成り立つようにトランジスタMN1, MN2, MP1, MP2, MN3, MN4のそれぞれのチャンネル幅、チャンネル長さを選べば、図1に示したリングオシレータ用遅延回路と同じ特性を得ることができ、図7の同相利得は式(12)により、差動利得は式(14)によりそれぞれに与えられる。

【0049】図7で示される実施の形態で、NMOSトランジスタMN1, MN2, MN3, MN4, MNBをそれぞれにPMOSトランジスタに、PMOSトランジ

スタMP1, MP2をそれぞれにNMOSトランジスタで構成することができることは、既述の通りである。

【0050】

【発明の効果】本発明によるリングオシレータ用遅延回路は、1以上の差動利得と1以下の同相利得を容易に実現している。

【図面の簡単な説明】

【図1】図1は、本発明によるリングオシレータ用遅延回路の実施の形態を示す回路図である。

【図2】図2は、図1の回路の同相信号成分について等価な回路を示す回路図である。

【図3】図3は、図1の回路の差動信号成分について等価な回路を示す回路図である。

【図4】図4は、公知のリングオシレータを示す回路図である。

【図5】図5は、公知の他のリングオシレータを示す回路図である。

【図6】図5は、本発明によるリングオシレータ用遅延回路の実施の他の形態を示す回路図である。

【図7】図7は、本発明によるリングオシレータ用遅延回路の実施の更に他の形態を示す回路図である。

【図8】図8は、公知のリングオシレータ用遅延回路を示す回路図である。

【符号の説明】

2A, 2B…一对の出力線

5…第2電位線

VDD…第1電位線（第3電位線であることがある）

MP1, MP2…第1トランジスタ

MN1, MN2…第2トランジスタ

MP3, MP4…第3トランジスタ

MN3, MN4…第4トランジスタ

V1, V2…入力電圧

V_{o 1}, V_{o 2}…出力電圧

V_{I Q}…同相入力電圧

V_{O Q}…同相出力電圧

ΔV_I …差動入力電圧

ΔV_O …差動出力電圧

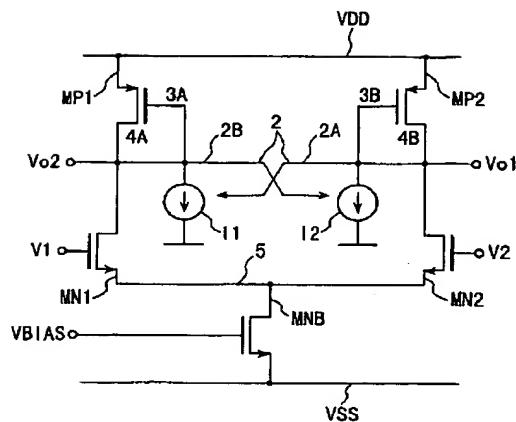
G_{m p}…第1トランジスタのトランスコンダクタンス

G_{m n}…第2トランジスタのトランスコンダクタンス

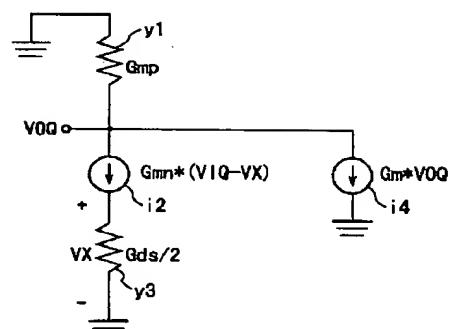
G_m…出力線と第3電位線との間のトランスコンダクタンス

G_{d s}…設計定数としてのトランスコンダクタンス

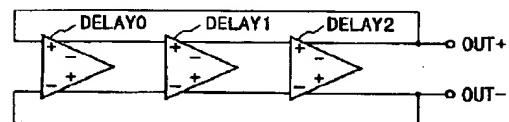
【図1】



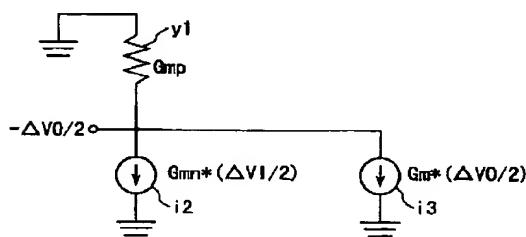
【図2】



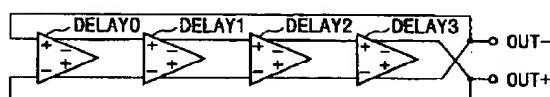
【図4】



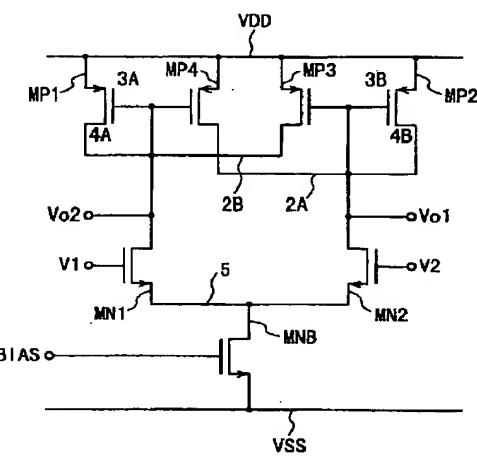
【図3】



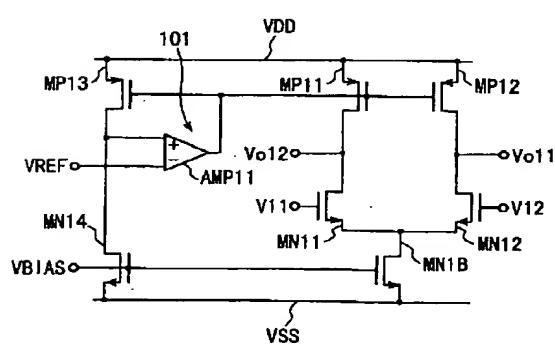
【図5】



【図6】



【図8】



【図7】

